

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-235698

(43)Date of publication of application : 10.09.1993

(51)Int.Cl.

H03H 17/02

(21)Application number : 04-061193

(71)Applicant : YAMAHA CORP

(22)Date of filing : 17.02.1992

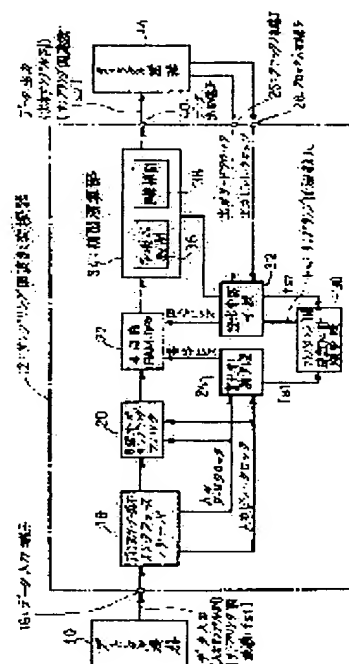
(72)Inventor : KAKUBO YUUJI
KIMURA SHIGEKI
SAOTOME HIROMI
NIIMI KOJI

(54) SAMPLING FREQUENCY CONVERTER

(57)Abstract:

PURPOSE: To coexist easy constitution with superior conversion accuracy in a sampling frequency converter to convert an input sample string to an output sample string asynchronous to it.

CONSTITUTION: The input sample of sampling frequency fs_1 supplied from digital equipment 10 is written on an asynchronous RAM buffer 22 after being eight times over sampled by an octuple over-sampling filter 20. The address in accordance with an input/output sampling frequency F_s measured by a sampling frequency ratio measuring means 30 of the input sample written on the asynchronous RAM buffer 22 is read out, and polynomial 7th-order interpolation by a polynomial 7th-order interpolation means 36 is applied to it, and furthermore, linear interpolation by a linear interpolation means 38 is applied to it, and it is converted to a sampling frequency fs_2 , then, it is inputted to digital equipment 14.



LEGAL STATUS

[Date of request for examination] 15.02.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3221034

[Date of registration] 17.08.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-235698

(43)公開日 平成5年(1993)9月10日

(51)Int.Cl.⁵

H 0 3 H 17/02

識別記号

庁内整理番号

F I

技術表示箇所

A 7037-5 J

D 7037-5 J

審査請求 未請求 請求項の数 2 (全 15 頁)

(21)出願番号 特願平4-61193

(22)出願日 平成4年(1992)2月17日

(71)出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72)発明者 鹿窪 友詞

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

(72)発明者 木村 繁樹

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

(72)発明者 五月女 弘海

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

(74)代理人 弁理士 加藤 邦彦 (外1名)

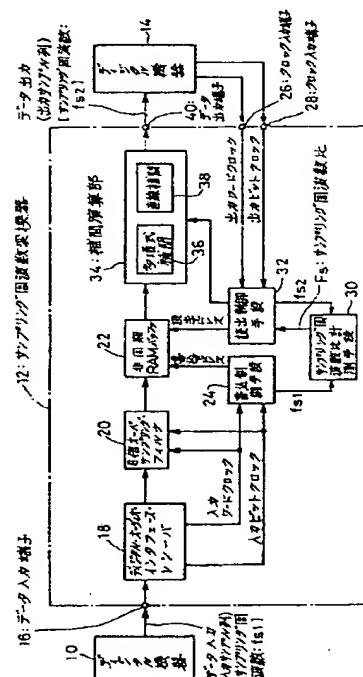
最終頁に続く

(54)【発明の名称】 サンプリグ周波数変換器

(57)【要約】

【目的】 入力サンプル列をこれと非同期の出力サンプル列に変換するためのサンプリグ周波数変換器において、構成の簡易さと変換精度の良さの両立を図る。

【構成】 デジタル機器10から供給されるサンプリグ周波数 f_{s1} の入力サンプルは8倍オーバーサンプリグ・フィルタ20で8倍オーバーサンプリグされて非同期RAMバッファ22に書込まれる。非同期RAMバッファ22に書込まれた入力サンプルは、サンプリグ周波数比計測手段30で計測される入出力のサンプリグ周波数比 F_s に応じたアドレスが読出され、多項式7次補間手段36で多項式7次補間され、さらに直線補間手段38で直線補間されてサンプリグ周波数 f_{s2} に変換されて、デジタル機器14に入力される。



【特許請求の範囲】

【請求項 1】入力サンプル列をオーバーサンプリングするオーバーサンプリング手段と、

RAMと、

前記オーバーサンプリング手段から出力されるオーバーサンプリングデータをこのオーバーサンプリングデータに同期したクロックで前記RAMに書き込む書込制御手段と、前記入力サンプル列のサンプリング周波数と出力サンプル列のサンプリング周波数の周波数比を計測するサンプリング周波数比計測手段と、

この計測されたサンプリング周波数比を実現する出力サンプルの前後の 2 点の補間データを多項式補間で求めるためのオーバーサンプリングデータを前記RAMから読み出す読出制御手段と、

この読出制御手段により前記RAMから読み出されたオーバーサンプリングデータに基づき前記 2 点の補間データを多項式補間で求める多項式補間手段と、

この多項式補間で求められた 2 点の多項式補間データを直線補間して、前記サンプリング周波数を実現する出力サンプル値を求める直線補間手段とを具備してなるサンプリング周波数変換器。

【請求項 2】前記サンプリング周波数比計測手段が、前記入力サンプル列に同期したクロックをカウントするカウンタで構成され、前記出力サンプル列の多数ワード周期内での当該カウンタのカウント値を前記サンプリング周波数比として出力するものであり、

前記読出制御手段は、前記カウンタのカウント値を出力サンプル周期ごとに積算した積算値のビットを 3 区間に区切ったうちの上位のデータを前記RAMの読出アドレスデータとして用い、

前記多項式補間手段は、前記積算値のビットを 3 区間に区切ったうちの中位のデータを前記多項式補間のための補間係数を記憶しているROMのアドレスデータとして用い、

前記直線補間手段は、前記積算値のビットを 3 区間に区切ったうちの下位のデータを前記直線補間のための係数データとして用いることを特徴とする請求項 1 記載のサンプリング周波数変換器。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】この発明は、入力サンプル列をこれと非同期の出力サンプル列に変換するためのサンプリング周波数変換器に関し、構成の簡易さと変換精度の良さの両立を図ったものである。

【0002】

【従来の技術】ディジタル・オーディオ装置等のディジタル機器には、32kHz、44.1kHz、48kHz等の様々なサンプリング周波数が使用されており、サンプリング周波数が異なる機器どうしをつなぐ場合、送出側機器から送出されるサンプル列を受取側機器のサンプリン

グ周波数に変換する必要がある。例えば、48kHzのサンプリング周波数でスタジオでレコーディングしたマスター録音をCD（コンパクト・ディスク）用にダビングする場合、サンプリング周波数を44.1kHzに変換する必要がある。

【0003】また、サンプリング周波数は同じであるが別々のマスタクロックで駆動されているディジタル機器どうしをつなぐ場合も同様に、送出側機器から送出されるサンプル列を受取側機器のサンプリング周波数に同期させる必要があり、これも広い意味でのサンプリング周波数変換に相当する。例えば、サンプリング周波数が44.1kHzのCDを再生して同じくサンプリング周波数44.1kHzのディジタル録音機器でダビングする場合、CDプレーヤとディジタル録音機器がそれぞれ別々のマスタクロックで駆動されている場合、CDから再生されるディジタル信号をディジタル録音機器のサンプリング周波数に同期させるサンプリング周波数変換が必要となる。

【0004】従来のサンプリング周波数変換の方法としては、入力サンプル列を一旦D/A変換してアナログ信号に戻し、これを出力サンプル列のサンプリング周波数で再度A/D変換する方法があった。

【0005】また、別のサンプリング周波数変換方法として、入力サンプル列と出力サンプル列の最小公倍数のサンプリング周波数に入力サンプル列をオーバーサンプリングし、その中から出力サンプル列を構成するサンプルを抽出する方法があった。

【0006】

【発明が解決しようとする課題】前記一旦D/A変換して再度A/D変換する方法では、再度量子化するため量子化誤差が大きくなって、音響信号の場合ひずみが大きくなる欠点があった。

【0007】また、前記入力サンプル列をオーバーサンプリングする方法では、入力サンプル列と出力サンプル列のサンプリング周波数の比が簡単な整数比にならないと装置規模が大きくなる欠点があった。

【0008】そこで、このオーバーサンプリングによる手法を改善して、入力サンプル列を装置規模があまり大きくならない程度の倍数でオーバーサンプリングし、このオーバーサンプリングで作られたサンプル間を直線補間で補間して出力サンプル列を作る方法も考えられていた。しかしながら、この方法では直線補間を用いたため変換精度が悪く、音響信号の場合ひずみが大きくなる欠点があった。

【0009】この発明は、前記従来の技術における欠点を解決して、構成の簡易さと変換精度の良さの両立を図ったサンプリング周波数変換器を提供しようとするものである。

【0010】

【課題を解決するための手段】請求項 1 記載の発明は、

入力サンプル列をオーバーサンプリングするオーバーサンプリング手段と、RAMと、前記オーバーサンプリング手段から出力されるオーバーサンプリングデータをこのオーバーサンプリングデータに同期したクロックで前記RAMに書込む書込制御手段と、前記入力サンプル列のサンプリング周波数と出力サンプル列のサンプリング周波数の周波数比を計測するサンプリング周波数比計測手段と、この計測されたサンプリング周波数比を実現する出力サンプルの前後の2点の補間データを多項式補間で求めるためのオーバーサンプリングデータを前記RAMから読み出す読出制御手段と、この読出制御手段により前記RAMから読み出されたオーバーサンプリングデータに基づき前記2点の補間データを多項式補間で求める多項式補間手段と、この多項式補間で求められた2点の多項式補間データを直線補間して、前記サンプリング周波数比を実現する出力サンプル値を求める直線補間手段とを具備してなるものである。

【0011】また、請求項2記載の発明は、請求項1記載の発明において、前記サンプリング周波数比計測手段が、前記入力サンプル列に同期したクロックをカウントするカウンタで構成され、前記出力サンプル列の多数ワード周期内の当該カウンタのカウント値を前記サンプリング周波数比として出力するものであり、前記読出制御手段は、前記カウンタのカウント値を出力サンプル周期ごとに積算した積算値のビットを3区間に区切ったうちの上位のデータを前記RAMの読出アドレスデータとして用い、前記多項式補間手段は、前記積算値のビットを3区間に区切ったうちの中位のデータを前記多項式補間のための補間係数を記憶しているROMのアドレスデータとして用い、前記直線補間手段は、前記積算値のビットを3区間に区切ったうちの下位のデータを前記直線補間のための係数データとして用いることを特徴とするものである。

【0012】

【作用】請求項1記載の発明によれば、入力サンプル列を適宜の倍数でオーバーサンプリングし、このオーバーサンプリングで作られたサンプル間を多項式補間で補間し、この多項式補間で作られたサンプル間を直線補間で補間して出力サンプル列を作るようにしている。

【0013】そして、これによればオーバーサンプリングのみで出力サンプル列を作る場合に比べて回路規模を小さくすることができる。また、オーバーサンプリングで作られたサンプル間を直接直線補間せずに、多項式補間で補間してから直線補間するようにしたので、変換精度が良好になる。しかも、オーバーサンプリングで同じ倍数をかせぐ場合に比べて多項式補間および直線補間を用いれば回路規模を小さくすることができる。そして、これにより構成の簡易さと変換精度の良さが両立される。

【0014】また、請求項2記載によれば、入力サンプル列に同期したクロックを出力サンプル列の多数リード

周期内でカウントしたカウント値のビットを3区間に区切って、上位からそれぞれ多項式補間のためのRAMの読出アドレスデータ、多項式補間係数を記憶しているROMの読出アドレスデータ、直線補間のための係数データとして用いるようにしたので、補間値の生成を容易に行なうことができる。

【0015】

【実施例】以下、この発明の一実施例を説明する。はじめに、その概要構成を図1に示す。ここでは、サンプリング周波数 f_{s1} で動作しているデジタル機器10（例えば、デジタル・オーディオ再生機器等）から出力したデータをサンプリング周波数変換器12でサンプリング周波数を f_{s2} に変換して、このサンプリング周波数 f_{s2} で動作しているデジタル機器14（例えば、デジタル・オーディオ録音機器、デジタル・オーディオ・ミキサ等）に入力する場合について示している。

【0016】デジタル機器10から出力されるデータ（入力サンプル列）は、データ入力端子16を介してサンプリング周波数変換器12に入力され、デジタル・オーディオ・インタフェース・レシーバ18でこのサンプリング周波数変換器12の内部クロックに同期が合わせられるとともに、入力ワードクロック（周波数が f_{s1} のクロック）と、入力ビットクロック（入力データの最小単位のクロック（再生クロック等））で、この実施例では入力ワードクロックの256倍のクロックが用いられている。）が再生される。

【0017】内部クロックに同期が合わせられた入力サンプル列は、8倍オーバーサンプリング・フィルタ20（オーバーサンプリング手段）で8倍オーバーサンプリングされ、非同期RAMバッファ22（RAM）に順次書込まれていく。書込制御手段24はこの書込みを制御するもので、入力ワードクロックに従って非同期RAMバッファ22に書込アドレスを指示する。

【0018】デジタル機器14からは、出力ワードクロック（デジタル機器14で使われるサンプリング周波数 f_{s2} のクロック）と、出力ビットクロック（デジタル機器14で使われる最小単位のクロック）が出力され、クロック入力端子26、28から入力される。サンプリング周波数比計測手段30は、入力側のサンプリング周波数 f_{s1} と出力側のサンプリング周波数 f_{s2} とを比較し、サンプリング周波数比 F_s を示すデータを出力する。

【0019】読出制御手段32は、計測されたサンプリング周波数比 F_s を実現する出力サンプル列を補間で作るのに必要な8倍オーバーサンプリングデータを非同期RAMバッファ22から読出す制御を行なう。また、多項式間用係数ROMの読出アドレスおよび直線補間用係数の出力も行なう。

【0020】補間演算部34は非同期RAMバッファ22から読出された8倍オーバーサンプリングデータを用い

て、多項式補間手段36で目的とする出力サンプルの前後の2点の補間データを多項式補間で求める。ここでは多項式補間としては、ラグランジェ7次補間を用いている。さらに、直線補間手段38でこの2点の多項式(ラグランジェ)補間データ間を直線補間して目的とする出力サンプル値を求める。

【0021】このようにして、補間演算部34からデジタル機器14に同期したサンプリング周波数 f_s2 で順次出力される出力サンプル列は、データ出力端子40から出力されて、そのままデジタル機器14に入力されて必要な処理がなされる。

【0022】以上のサンプリング周波数変換の過程を図2に示す。①は入力サンプル列 A_1, A_2, \dots を示したもので、これをサンプリング周波数が異なる出力サンプル列 a_1, a_2, \dots に変換するものとし、このうち出力サンプル a_3 を作る過程を②～④で示している。

【0023】②は、入力サンプル A_4, A_5 の区間に8倍オーバーサンプリングによって新たなサンプル $A_{4-1}, A_{4-2}, \dots, A_{4-7}$ が均等の間隔で挿入されて、この A_4, A_5 の区間を8分割している。なお、このオーバーサンプリングはサンプリング周波数比に無関係にすべてのオーバーサンプリングデータが順次作成されて前記非同期RAMバッファ22に書込まれる。

【0024】③は、オーバーサンプリングデータを用いて、目的とする出力サンプル a_3 が含まれる A_4, A_5 の区間をラグランジェ7次補間したデータを示すものである。ここではオーバーサンプリングデータの1区間をラグランジェ7次補間で128等分する場合について示している。なお、実際の演算は、補間データ $A_{4-4-1}, A_{4-4-2}, \dots, A_{4-4-127}$ をすべて算出するのではなく、直線補間に必要なデータすなわち目的とする出力サンプル a_3 を挟んでその前後の2点の補間データ(ここでは A_{4-4-45}, A_{4-4-46})のみ作成する。なお、どの位置の補間データを作成するかは、後述するようにサンプリング周波数比 F_s によって決まる。

【0025】④は、ラグランジェ補間データ A_{4-4-45}, A_{4-4-46} の区間を直線補間したデータを示すものである。ここでは、ラグランジェ補間データの隣接する2点間を直線補間で 2^{11} 等分する場合について示している。なお、実際の演算は補間データ $A_{4-4-45-1}, A_{4-4-45-2}, \dots, A_{4-4-45-(2^{11}-1)}$ をすべて算出するのではなく、目的とする出力サンプル a_3 の補間データのみ作成する。なお、どの位置の補間データを作成するかは後述するようにサンプリング周波数比 F_s によって決まる。

【0026】以上の工程により出力サンプル a_3 のサンプル値が高精度に求まる。なお、次の出力サンプル a_4 は、出力サンプル a_3 から $1/f_s2$ 離れた時点の出力サンプルを上記同様にして求めることによって得られ

る。

【0027】次に、図1のサンプリング周波数変換器12の具体例を図3に示す。図3の各部について説明する。

(1) コントロール回路31

コントロール回路31は図3の回路の各部にコントロール信号CONTを送出して、各部が所定の動作をするのに必要な制御を行なう。また各部からの信号CONT'を入力する。

【0028】(2) サンプリング周波数比計測手段30
サンプリング周波数比計測手段30は22ビット語長のフリーランカウンタ42を具え、これでサンプリング周波数比 F_s の計測を行なっている。なお、フリーランカウンタとは、リセットをかけずにフリーランさせる循環式のカウンタという意味である。この22ビットカウンタ42は入力サンプリング周波数 f_s1 の256倍の周波数を有する入力ビットクロックをカウントしており、出力サンプリング周波数 f_s2 に同期した周期内でのこの22ビットカウンタ42のカウント数を計測する。このカウント数は入力サンプリング周波数 f_s1 が高くなれば(あるいは出力サンプリング周波数 f_s2 が低くなれば)多くなり、入力サンプリング周波数 f_s1 が低くなれば(あるいは出力サンプリング周波数 f_s2 が高くなれば)少なくなるから、このカウント数が両サンプリング周波数 f_s1, f_s2 の周波数比 F_s に対応したものととなる。

【0029】ここでは、サンプリング周波数比 F_s の計測精度(分解能)を向上させるため、図4に示すように、8192出力ワードクロックもの長い期間を1回の計測周期として、この間に22ビットカウンタ42でカウントされるカウント数を8192出力ワードクロックの期間でのサンプリング周波数比 F_s の平均値として出力する。

【0030】この計測は、具体的には次のようにして行なわれる。図3において、22ビットカウンタ42のカウント値は、8192出力ワードクロックごとにレジスタ44、46に順次転送されていく。減算器48は両レジスタ44、46に保持されたカウント値を引算して直前の8192出力ワードクロックの期間での22ビットカウンタ42のカウント数をサンプリング周波数比 F_s のデータとして出力する。したがって、サンプリング周波数比 F_s のデータは8192出力データワードごとに更新される。

【0031】サンプリング周波数比 F_s のデータはセレクタ60を介して読出制御手段32に供給されて、非同期RAMバッファ22の読出アドレス、ラグランジェ7次補間用係数ROM86の読出アドレス、直線補間係数Coefの決定に用いられる。

【0032】ところで、サンプリング周波数比 F_s は何らかの理由で時間軸上で急激に大きく変動した場合に

は、8192出力ワードクロックごとにサンプリング周波数比 F_s を計測していたのでは、サンプリング周波数比 F_s の変動に対して計測値が追従できず、その時点での正確なサンプリング周波数比 F_s を示さなくなる。このため、非同期RAMバッファ22において読出アドレスが書込アドレスを追い越したり追い越されたりして大きなノイズを発生するなどの問題を起こすおそれがある。

【0033】このような問題の解決策として、毎出力ワードクロックごとの22ビットカウンタ42のカウンタ値を過去8192回分にわたって順次RAMに記憶していき、現在のカウンタ値と8192出力ワードクロック前のカウンタ値との差を毎出力ワードクロックごとに逐次求め、これを各時点のサンプリング周波数比 F_s として出力する方法が考えられる。このようにすれば、毎出力ワードクロックごとに新たなサンプリング周波数比が求められるので、サンプリング周波数比 F_s の変動に対する追従性は良くなるが、その反面容量が非常に大きなRAMが必要となる欠点がある。

【0034】そこで、ここでは容量が大きなRAMを必要とせずにサンプリング周波数比 F_s の変動に対する追従性を良くする方法を提案する。これは、図5に示すように、サンプリング周波数比 F_s を計測する周期を16出力ワードクロックとし、毎出力ワードクロックごとの22ビットカウンタ42のカウンタ値を過去16回分にわたって順次RAMに記憶していき、現在のカウンタ値と16ワードクロック前のカウンタ値との差を毎出力ワードクロックごとに逐次求め、これを各時点のサンプリング周波数比 F_s のデータとして出力するようにしたものである。

【0035】このようにすれば、毎出力ワードクロックごとに新たなサンプリング周波数比 F_s が求められるので、サンプリング周波数比 F_s の変動に対する計測値の追従性は良好となる。また、このようにすると、サンプリング周波数比 F_s を平均化する時間が短くなる(8192出力ワードクロックから16出力ワードクロックになる)ので一見分解能は低下すると思われるが、周波数比が変動している場合は平均化する期間が短いほうが変動の影響が強く現われて実際のサンプリング周波数比 F_s に近い計測値が得られることになる。ただし、平均化する時間があまり短いとジッタの影響も出てくるので、ジッタの影響があまり出ない値としてここでは16出力ワードクロックという期間を設定している。

【0036】なお、16(=2⁴)出力ワードクロックでのカウンタ値は、8192(=2¹³)出力ワードクロックでのカウンタ値に比べて $2^4 \div 2^{13} = 2^{-9}$

の大きさになるから、8192出力ワードクロックでのサンプリング周波数 F_s の計測値と位を合わせるため、16出力ワードクロックでの計測時には、22ビットカ

ウンタ42の上位9ビットを除いた下位13ビットの出力を9ビットシフトアップした値をサンプリング周波数比 F_s とする。

【0037】図3のサンプリング周波数比計測手段30では16出力ワードクロックでの計測を次のように行なっている。レジスタ52は1出力ワードクロックごとに22ビットカウンタ42の下位13ビットの出力を取り込む。RAM54は、レジスタ52に取込まれたカウンタ値が順次書込まれていき、常に現時点から見て過去16個分のカウンタ値を保持する。減算器56はRAM54に記憶された最古のカウンタ値と最新のカウンタ値との差(つまり16出力ワードクロックの期間内でのカウンタ数)を求めて、これをこの期間でのサンプリング周波数比 F_s の平均値として、毎出力ワードクロックごとに更新して出力する。これにより、サンプリング周波数比 F_s が変動した場合には、即座にこれに追従した計測値が減算器56から得られる。

【0038】サンプリング周波数比 F_s の変動検出は、次のようにして行なっている。比較部51は22ビット精度のサンプリング周波数比 F_s の計測値と毎出力ワードクロックごとに更新される13ビット精度のサンプリング周波数比計測値とを図6に示すように位を合わせて引算して13ビットの差データとして出力する。この差データは、サンプリング周波数比 F_s の変動が小さい時は小さな値になり、変動が大きい時は大きな値となる。そこで、比較部51は、図6に示すように、上下の閾値1、2を設定して、通常は22ビット精度でサンプリング周波数比 F_s の計測を行ない(つまり、セクタ60から22ビット精度サンプリング周波数比計測データを出力する。)、この状態で差データが閾値1(11ビット)以上になったら変動が大きいと判断して22ビット精度から13ビット精度に計測を切り換える(セクタ60から13ビット精度サンプリング周波数比計測データを出力する。)。そして、13ビット精度での計測時に差データが閾値2(13ビット)以下になったら変動が小さくなったと判断して13ビット精度から22ビット精度に戻す。このようにして、ヒステリシスを持たせてサンプリング周波数比 F_s の計測を行なう。これにより、デジタルレコーダでバリエابلピッチなどを用いてサンプリング周波数比 F_s が連続的に変動したような場合でも、即座に追従のよい13ビット精度サンプリング周波数比のほうに切り換わり、歪は多少悪化するものの、聴感上に悪影響を与えるようなノイズの発生はおさえられる。

【0039】なお、遅延回路58は22ビット精度のサンプリング周波数比計測値を3サンプル(=8192出力ワードクロック×3)遅延する。これは、サンプリング周波数比 F_s が変動して22ビット精度から13ビット精度に切り換わった後は確実に安定な状態に戻ってから22ビット精度に戻すためのものである。すなわち、

22ビット精度で計測している状態でサンプリング周波数比 F_s が変動すると、その影響は13ビット精度の計測値に即座に現われるので、差データが大きくなりすぐに13ビット精度での計測に切り換えられる。これに対し、13ビット精度で計測している状態からサンプリング周波数比 F_s が安定な状態に戻ると、13ビット精度の計測値はすぐに安定な状態に戻るが、22ビット精度の計測値は遅延回路58で3サンプル遅延されているためすぐには安定な状態に戻らず、その間差データが大きくなったままであり、13ビットの計測が続けられる。そして3サンプル後に22ビット精度の計測値も安定な状態に戻り、差データが小さくなって22ビット精度での計測に戻される。このようにして、切換タイミングにヒステリジスを持たせている。なお、遅延時間は3サンプルに限らず適宜設定できる。

【0040】(3) 書込制御手段24

ライト・アドレス・カウンタ24は書込制御手段を構成するもので、8倍オーバサンプリングデータに同期した周波数が f_s1 の8倍のクロックをカウントし、そのカウント値を書込アドレスデータとして出力する。この書込アドレスデータは、セクタ62を介して順次非同期RAMバッファ22に供給されて、8倍オーバサンプリングされた入力データを非同期RAMバッファ22に順次書込む。

。(4) 読出制御手段32

計測されたサンプリング周波数比 F_s は、入力サンプル列に対して出力サンプル列を出力すべき間隔を示すので、これを用いて非同期RAMバッファ22の読出しおよび補間係数の付与を行なうことにより出力サンプル列を生成することができる。

【0041】そこで、図3の読出制御手段32は、サンプリング周波数比計測手段30から出力されるサンプリング周波数比 F_s の計測データを出力サンプリング周波数 f_s2 の各周期ごとに積算していき、その積算値を非同期RAMバッファ22の読出アドレスデータ、ラグランジェ7次補間の係数ROMの読出アドレスデータ、直線補間係数データを組合わせたベースアドレスデータとして毎出力サンプリング周期ごとに出力する。この場合、22ビット精度でサンプリング周波数比 F_s を計測している時は、8192出力ワードクロックごとに計測値が更新されるので、更新されるまでの間は同じ計測値を8192回累算して用いることになる。また、13ビット精度で計測している時は、毎出力ワードクロックごとに計測値が更新されていくので、この更新されていく計測値を順次積算していく。

【0042】ベースアドレスの構成を図7に示す。ベースアドレスは、前述のように22ビットのサンプリング周波数比 F_s の計測値（13ビット精度での計測値は下位に9ビット“0”を付加して22ビットとされる）を出力ワードクロックごとに積算して生成されるもので、

全体が25ビットで構成されている。サンプリング周波数比 F_s の計測値は、もともと8倍オーバサンプリングデータの32（ $=2^5$ ）倍の入力ビットクロックを8192（ $=2^{13}$ ）出力ワードクロックにわたってカウントした値であるので、ベースアドレスを $1/2^{18}$ した値が入力サンプル列を8倍オーバサンプリングして非同期RAMバッファ22に記憶されている1サンプルと対応づけられる。したがって、ベースアドレスのうち上位7ビットを非同期RAMバッファ22の読出アドレス（全27 $=128$ アドレス）として用い、下位18ビットを8倍オーバサンプリングされたサンプル間を 2^{18} 分割する補間用のデータとして用いる。ここでは、この18ビットの補間用データのうち上位7ビットを8倍オーバサンプリングされたサンプル間を $2^7=128$ 分割するラグランジェ7次補間の係数ROM86の読出アドレスとして用い、下位11ビットをラグランジェ7次補間された2つのサンプル間を $2^{11}=2048$ 分割する直線補間係数 C_{coef} として用いる（図2参照）。

【0043】読出制御手段32によるベースアドレスの生成は次のようにして行なわれる。サンプリング周波数比計測手段30から出力されるサンプリング周波数比 F_s の計測値は、セクタ62を介してフルアダー64の一方入力端に入力される。フルアダー64は、レジスタ66に保持されている前回までの積算値をセクタ68を介して他方入力端に入力して両入力を加算し、これを新たな積算値としてレジスタ66に保持する。この積算動作を毎出力ワードクロックごとに行なう。レジスタ66に保持された積算値はベースアドレスとして毎出力ワードクロックごとにラッチ回路70に転送されて、そのうち上位7ビットがRAM読出アドレスとしてセクタ62を介して非同期RAMバッファ22に供給され、中位7ビットがラグランジェ補間係数ROM86の読出アドレスとしてまた下位11ビットが直線補間係数 C_{coef} として補間演算部34に供給される。

【0044】(5) 非同期RAMバッファ22

非同期バッファ22は図8に示すように、全128アドレスのリングバッファ状に構成され、8倍オーバサンプリングデータが順次書込まれていくとともに、ラグランジェ7次補間に必要なデータが順次読出されていく。この場合、ラグランジェ7次補間の演算には、目的とする出力サンプルの前後4サンプルずつの合計8サンプルのオーバサンプリングを用いるが、ベースアドレスの上位7ビットで示される読出アドレスは、そのうちの例えば目的とする出力サンプルの直前のオーバサンプリングデータのアドレスを示すものとし、このアドレスおよびその手前の3アドレスおよびその後の4アドレスの合計8サンプルのデータが1つの出力サンプルを生成するために順次読出される。

【0045】入出力サンプリング周波数比 F_s に変動がなければ書込アドレスと読出アドレスは一定の距離を保

っているが、入出力サンプリング周波数比 F_s が変動している時は書込アドレスが進んで読出アドレスを追い越したり逆に書込アドレスが遅れて読出アドレスに追い越されたりすることがあり、いずれの場合にもデータに不連続が生じて大きなノイズになってしまう。

【0046】そこで、ここでは書込アドレスの両側にある距離離れてガードを設けて、読出アドレスで読出される8個の8倍オーバーサンプリングデータのいずれかのアドレスまたは目的とする出力サンプルの直前の8倍オーバーサンプリングデータのアドレスがこのガード内に入ったら強制的にガードの外に戻すように読出アドレスを補正することにより、追い越したり追い越されたりするのを阻止して大きなノイズが発生するのを防止している。

【0047】この読出アドレスの補正は次のようにして行なわれる。ライト・アドレス・カウンタ24から出力される入力側に同期した書込アドレス情報は非同期アドレスラッチ回路72で出力側の同期に変換される。非同期アドレスラッチ回路72は、3段に縦列接続したラッチ回路74～76で構成され、書込アドレスデータをストロブ信号1～3で順次転送することにより出力側のクロックに同期させる。

【0048】非同期アドレスラッチ回路72の動作を図9に示す。ラッチ回路74へのラッチを行なうストロブ信号1は入力ワードクロックに同期したタイミングで出力される。すなわち、入力ワードクロックの立上りタイミングで所定期間のマスクaが開始され、その中央部でストロブ信号1が出力されて書込アドレス情報がラッチ回路74にラッチされる。また、ラッチ回路74からラッチ回路75への転送を行なうストロブ信号2は出力ワードクロックに同期したタイミングで出力される。すなわち、出力ワードクロックの立上りタイミングで所定期間のマスクbが開始され、その中央部でストロブ信号2が出力されて、ラッチ回路74にラッチされている書込アドレスがラッチ回路75に転送される。また、ストロブ信号3は出力ワードクロックの立上りタイミングで出力されて、ラッチ回路75からラッチ回路76への転送を行なう。これで、書込アドレスの情報が出力側に同期したデータに変換される。

【0049】なお、マスクa、bは、ラッチ回路74、75のラッチタイミングが重なるのを防止するものである。すなわち、マスクaの期間中にマスクbが開始される時は、マスクbを開始せずに、それよりも所定期間t1遅れたタイミングで代替マスクb'を開始し、その中央部でストロブ信号2を出す。マスクaは常に入力ワードクロック立上りで開始される固定のマスクである。一旦代替マスクb'が出されると次もマスクaとマスクb'のタイミングが比較され、マスクaの期間中にマスクb'が開始される時は、マスクbを開始せずに、次のマスクbを開始させる。このようにして、ラッチタイミングが重ならないようにしてラッチ回路74からラッチ

回路75に転送するとともに、ラッチ回路76から出力ワードクロックに正しく同期した書込アドレスの情報が得られる。

【0050】このようにして、非同期アドレスラッチ回路72で出力側に同期した書込アドレスの情報が得られたら、これをリファレンスアドレス（仮想的な書込アドレス）としてガードが作成される。すなわち、図8に示すように、リファレンスアドレス（実際の書込アドレスよりも少し遅れている）から8アドレス後方のアドレスをガードAとし、さらにそこから48アドレス後方（リファレンスアドレスからは56アドレス後方）のアドレスをガードBとして設定する。そして、読出アドレスが進んで書込アドレスに近づいてガードAを越えたら、読出アドレスを強制的に4アドレス遅らせてガードAから退出させる。また、読出アドレスが遅れて逆方向から書込アドレスに近づいてガードBを越えたら、読出アドレスを強制的に例えば4アドレス進ませてガードBから退出させる。この大きな補正值-4、+4により読出アドレスがガードA、Bから退出したら、引き続き数出力ワードクロックに例えば-1、+1アドレスの割合で小さな補正をしていき、ガードA、Bの中間のアドレス“127”に戻す。この補正動作は読出アドレスがガードAまたはBを越えるごとに行なわれる。このような補正動作により読出アドレスがガードA、Bの間に収められて、書込アドレスを追い越したり追い越されたりするのを防止され、大きなノイズの発生が防止される。

【0051】なお、補正をすることによって出力信号は多少歪むが、読出アドレスが書込アドレスを追い越したり追い越されたりした場合（128サンプル分飛ぶ）のに比べれば、最大で4サンプル飛ぶだけですむので歪はごくわずかで済む。また、4アドレスの補正を1回行なうととりあえず読出アドレスが書込アドレスを追い越したり追い越されたりするのを回避した後はわずかずつ（数出力サンプルに1アドレス）の割合で中央のアドレス“127”に向けて補正するので、出力波形の歪はほとんど生じないですむ。このようにして、波形の連続性をあまり損なうことなく読出アドレスの補正を行なっている。

【0052】以上の読出アドレスの補正は読出制御手段32において行なわれる。この読出アドレスの補正を行なうため、読出制御手段32は、ガードA、B作成用レジスタ78、ガードA、Bの値8、56を記憶するメモリ80、大きな補正值+4、-4アドレスと小さい補正值+1、-1アドレスを記憶するメモリ82を具備している。読出制御手段32による読出アドレスの補正は、コントロール回路31からの指令により次の手順で行なわれる。なお、この補正処理はレジスタ66に新たなベースアドレスが保持されるごとに（すなわち出力サンプルを生成すること）このベースアドレスをラッチ回路70に転送するまでの期間内に行なわれる。

【0053】i) ガードAの演算

ガードAの作成用数値として“8”をメモリ80から読出し、セクタ68を介してフルアダー64の一方入力端に入力する。また、書込アドレスを出力側の同期に変換したりファレンスアドレスをセクタ62を介してフルアダー64の他方入力端に入力する。フルアダー64はリファレンスアドレスから“8”を減算してガードAのアドレスとしてその値をレジスタ78に保持する。

【0054】ii) ガードAとRAM読出アドレスとの比較

レジスタ78に保持されているガードAのアドレスはセクタ68を介してフルアダー64の一方入力端に入力される。また、レジスタ66に保持されているベースアドレス（上位7ビットのRAM読出アドレス部分だけでなく25ビット全て）はセクタ62を介してフルアダー64の他方入力端に入力される。そして、フルアダー64は（ガードAのアドレス）－（ベースアドレス）の演算を対応するビットについて行なう。ビット比較器84はこの演算結果の正負を判別し、負の時はベースアドレスがガードAを越えて書込アドレスに近づいたものと判断して、ベースアドレスの補正処理を行なう。すなわち、メモリ82から補正值－4を読み出し、セクタ68を介してフルアダー64の一方入力端に入力する。また、レジスタ66のデータ（ベースアドレス値）がセクタ62を介してフルアダー64の他方入力端に入力される。そして、フルアダー64はレジスタ66のデータに補正值－4を加算して補正し、その補正結果をレジスタ66に保持する。このようにしてRAM読出アドレス（実際にはベースアドレス全体として）の補正が行なわれ、補正結果がレジスタ66からラッチ回路70に転送される。演算結果が正の時は補正を行わずにそのままラッチ回路70に転送する。

【0055】－4の大きな補正を行なった後は、出力サンプルを数サンプル生成するごとにメモリ82から小さな補正值－1を読み出して同様にベースアドレスの補正を行ない、ガードA、Bの中間のアドレス“127”まで徐々に近づけてアドレス“127”に到達するかまたは行き過ぎたら補正処理を終了する。なお、この小さな補正を行なっている途中でベースアドレスが再びガードを越えたら再び大きな補正值による補正から補正を再開する。

【0056】iii) ガードBの演算

ガードBの作成用数値として“56”をメモリ80から読出し、セクタ68を介してフルアダー64の一方入力端に入力する。また、書込アドレスを出力側の同期に変換したりファレンスアドレスをセクタ62を介してフルアダー64の他方入力端に入力する。フルアダー64はリファレンスアドレスから“56”を減算してガードBのアドレスとしてその値をレジスタ78に保持する。

【0057】iv) ガードBとRAM読出アドレスとの比較

レジスタ78に保持されているガードBのアドレスはセクタ68を介してフルアダー64の一方入力端に入力される。また、レジスタ66に保持されているベースアドレス（上位7ビットのRAM読出アドレス部分だけでなく25ビット全て）はセクタ62を介してフルアダー64の他方入力端に入力される。そして、フルアダー64は（ベースアドレス）－（ガードBのアドレス）の演算を対応するビットについて行なう。ビット比較器84はこの演算結果の正負を判別し、負の時はベースアドレスがガードBを越えて書込アドレスに近づいたものと判断して、ベースアドレスの補正処理を行なう。すなわち、メモリ82から補正值＋4を読み出し、セクタ68を介してフルアダー64の一方入力端に入力する。また、レジスタ66のデータ（ベースアドレス値）がセクタ62を介してフルアダー64の他方入力端に入力される。そして、フルアダー64はレジスタ66のデータに補正值＋4を加算して補正し、その補正結果をレジスタ66に保持する。このようにしてRAM読出アドレス（実際にはベースアドレス全体として）の補正が行なわれ、補正結果がレジスタ66からラッチ回路70に転送される。演算結果が正の時は補正を行わずにそのままラッチ回路70に転送する。

【0058】＋4の大きな補正を行なった後は、出力サンプルを数サンプル生成するごとにメモリ82から小さな補正值＋1を読み出して同様にベースアドレスの補正を行ない、ガードA、Bの中間のアドレス“127”まで徐々に近づけてアドレス“127”に到達するかまたは行き過ぎたら補正処理を終了する。なお、この小さな補正を行なっている途中でベースアドレスが再びガードを越えたら再び大きな補正值による補正から補正を再開する。

【0059】(6) 補間演算部34

補間演算部34ではラグランジェ7次多項式補間および直線補間を行なう。ラグランジェ7次補間は、例えば図10(a)に示すような補間係数を用いて、非同期RAMバッファ22から読み出される同(b)に示すような8倍オーバーサンプリングデータ A_4 、 A_4-1 、 A_4-2 、……、 A_4-7 と畳み込み演算して、各データ間をそれぞれ128分割する補間データを生成するものである。ただし、ここでは次に行なう直線補間のために必要な出力サンプル a_3 を挟んでその前後の2点（この例では点 A_4-4-45 と A_4-4-46 ）の補間データを求める演算のみ行なう。

【0060】図10(a)のラグランジェ7次補間係数は、その中央位置から左右対象に8倍オーバーサンプリングデータの間隔ごとにゼロクロスする係数で、ここではこれら各間隔（全8区間）ごとに128個ずつの係数（合計で 128×8 区間＝1024個の係数）で構成さ

れている。

【0061】ラグランジェ補間値の演算は、まず点 $A4-4-45$ について行ない、これに引き続き点 $A4-4-46$ について行なう。すなわち、まず点 $A4-4-45$ を図 10 (a) の係数の中央位置に一致させて、各係数と各サンプルとの畳み込みを行なう。この場合、8 倍オーバーサンプリングデータ $A4, A4-1, A4-2, \dots, A4-7$ の間を埋める各 127 個のサンプル値は全て 0 として扱えばよいので、これらは計算しなくてよく、結局 8 倍オーバーサンプリングされた 8 個のサンプル $A4, A4-1, A4-2, \dots, A4-7$ とそれぞれ対応する係数とを合計 8 回乗算して加算すれば点 $A4-4-45$ のラグランジェ 7 次補間値が求まる。

【0062】点 $A4-4-45$ の補間値が求まったら、サンプルを 1 つずらして点 $A4-4-46$ をラグランジェ 7 次補間係数の中央位置と一致させて、8 個のサンプル $A4, A4-1, A4-2, \dots, A4-7$ とそれぞれ対応する係数とを合計 8 回乗算して加算することにより、 $A4-4-46$ のラグランジェ 7 次補間値が求まる。

【0063】目的とする出力サンプルを挟む 2 点 $A4-4-45, A4-4-46$ のラグランジェ 7 次補間値が求まったら、この間を図 11 に示すように、直線で結び、目的とする出力サンプル $a3$ のサンプル値 X を直線補間により求める。すなわち、点 $A4-4-45$ のサンプル値を $x1$ 、点 $A4-4-46$ のサンプル値を $x2$ とすると、出力サンプル $a3$ のサンプル値 X は、

$$X = (x2 - x1) \text{Coef} + x1$$

但し、 Coef : 直線補間係数

で求まる。ここで、直線補間係数とは出力サンプル点 $a3$ の位置が上記 2 点間を 2¹¹ 分割したうちの何番目であるかを示す値である。

【0064】図 3 の補間演算部 34 によるラグランジェ 7 次補間および直線補間動作について説明する。ラッチ回路 88 には畳み込み演算される 8 個のサンプル $A4, A4-1, A4-2, \dots, A4-7$ が非同期 RAM バッファ 22 から読み出されて、ラッチされる。係数 ROM 86 には、図 10 (a) に示すようなラグランジェ 7 次補間係数が記憶されている。補間は次の手順で行なわれる。

【0065】i) 目的とする出力サンプルの直前のラグランジェ 7 次補間値の演算

ラッチ回路 88 には、畳み込み演算される 8 個のサンプル $A4, A4-1, A4-2, \dots, A4-7$ が非同期 RAM バッファ 22 から順次読み出されてラッチされる。また、ラッチ回路 90 には、まず点 $A4-4-45$ のラグランジェ 7 次補間値を求めるために必要な 8 個の係数値がベースアドレスの中位 7 ビットで表わされる係数 ROM 読出アドレスにより係数 ROM 86 から順次読み出されてラッチされる。なお、係数 ROM 読出アドレ

スは、入力サンプル $A4, A4-1, A4-2, \dots, A4-7$ と乗算される係数がラグランジェ 7 次補間係数の複数のゼロクロス点間をそれぞれ 128 分割したうちの何番目の係数であるかを示すものであり（各ゼロクロス点間とも同じ位置となる（図 10 (a) 参照））、1 つの係数 ROM 読出アドレスにより対応する 8 個の係数値が時系列的（1 回の乗加算毎に）に読み出されて、ラッチ回路 90 にラッチされる。

【0066】すなわち、まず、ラッチ回路 88 にサンプル $A4$ が読み出され、ラッチ回路 90 にこれと乗算される 1 つの係数が読み出され、それぞれセクタ 92、94 を介して乗算器 96 で相互に乗算される。その乗算値はレジスタ 98、セクタ 100 および加算器 102 の一方入力端を介してレジスタ 104 に保持される。続いてラッチ回路 88 に次のサンプル $A4-1$ が読み出され、ラッチ回路 90 にこれと乗算される 1 つの係数が読み出されて、同様に乗算器 96 で乗算される。この乗算値はセクタ 100 を介して加算器 102 の一方入力端に入力され、またレジスタ 104 に保持されている前回の乗算値がセクタ 108 を介して加算器 102 の他方入力端に入力され、加算器 102 で両者が加算されて、その加算値がレジスタ 104 に保持される。この乗算および加算動作を各サンプル $A4, A4-1, A4-2, \dots, A4-7$ について合計 8 回繰り返すことにより目的とする出力サンプル $a3$ の直前の点 $A4-4-45$ （図 10 (b)）のラグランジェ 7 次補間値が求められてレジスタ 106 に保持される。

【0067】ii) 目的とする出力サンプルの直後のラグランジェ 7 次補間値の演算

ラッチ回路 88 には、同様に畳み込み演算される 8 個のサンプル $A4, A4-1, A4-2, \dots, A4-7$ が非同期 RAM バッファ 22 から順次読み出されラッチされる。また、ラッチ回路 90 には、点 $A4-4-46$ のラグランジェ 7 次補間値を求めるために必要な 8 個の係数値がベースアドレスの中位 7 ビットで表わされる係数 ROM 読出アドレスの次のアドレスにより係数 ROM 86 から順次読み出されてラッチされる。

【0068】まず、ラッチ回路 88 に 1 つのサンプル $A4$ が読み出され、ラッチ回路 90 にこれと乗算される 1 つの係数が読み出され、それぞれセクタ 92、94 を介して乗算器 96 で相互に乗算される。その乗算値はレジスタ 98、セクタ 100 および加算器 102 の一方入力端を介してレジスタ 104 に保持される。続いてラッチ回路 88 に次のサンプル $A4-1$ が読み出され、ラッチ回路 90 にこれと乗算される 1 つの係数が読み出されて、同様に乗算器 96 で乗算される。この乗算値はセクタ 100 を介して加算器 102 の一方入力端に入力され、またレジスタ 104 に保持されている前回の乗算値がセクタ 108 を介して加算器 102 の他方入力端に入力され、加算器 102 で両者が加算されて、その加

算値がレジスタ104に保持される。この乗算および加算動作を各サンプルA4, A4-1, A4-2, …… , A4-7について合計8回繰り返すことにより目的とする出力サンプルa3の直後の点A4-4-46 (図10 (b)) のラグランジェ7次補間値が求められてレジスタ104に保持される。

【0069】なお、係数ROM86から出力サンプルの直前および直後のラグランジェ7次補間値を求めるために必要な各8個ずつの係数値を読み出す方法としては例えば次の方法が考えられる。すなわち、係数ROM86には、全1024個の係数をそのままの順番でアドレスに記憶するのではなく、8つの区間を128分割した順

$$\begin{array}{r} 0000001 \\ + \quad \quad 0xxx \\ \hline 0000001xxx \end{array}$$

を目的とする出力サンプルの直前のラグランジェ7次補間値を求めるための8個の係数の読み出しアドレスとし

$$\begin{array}{r} 0000001 \\ + \quad \quad 1xxx \\ \hline 00000010xxx \end{array}$$

を目的とする出力サンプルの直前のラグランジェ7次補間値を求めるための8個の係数の読み出しアドレスとして用いる。

【0072】なお、図10 (a) の補間係数はその中央位置を基準として左右対象なので、左右半分のみを係数ROM86に記憶するようにして、係数ROM86を小型化することができる。

【0073】iii) 直線補間

レジスタ106, 104にそれぞれ目的とする出力サンプルa3の直前および直後の2点A4-4-45, A4-4-46のラグランジェ7次補間データx1, x2が保持されたら、これに基づいて直線補間を行なって目的とする出力サンプルa3のサンプル値が求められる。この演算は次のようにして行なわれる。

【0074】まず、レジスタ106に保持されている補間データがセクタ100を介して加算器102の一方入力端に入力される。また、レジスタ104に保持されている補間データがセクタ108を介して加算器102の他方入力端に入力される。加算器102は両入力を減算してx2-x1を求め、その演算結果をレジスタ104に保持する。

【0075】続いて、レジスタ104に保持された減算値x2-x1がセクタ108, 92を介して乗算器96に入力され、ベースアドレスの下位11ビットで表わされる直線補間係数C_{coef}がセクタ94を介して乗算器96に入力されて、両者の乗算が行なわれる。その乗算結果(x2-x1)C_{coef}はレジスタ98、セクタ100、加算器102を介してレジスタ104に保持される。

【0076】レジスタ104に保持された演算値(x2

番で記憶する。つまり、1024個の係数をまず分割位置が同じものどうし128グループに分けて分割位置の順に並べ、さらに各グループ内で各グループを構成する8個の係数を区間順に並べた配列で係数ROM86の各アドレスに記憶する。

【0070】そして、所定の高速クロックで動作している4ビットカウンタ(係数読み出しカウンタという)を用いて、そのカウント値をベースアドレスの中位7ビットデータの最下位ビットに加算することにより、この加算値を係数ROM86の読出アドレスとして用いる。

【0071】例えば、ベースアドレスの中位7ビットデータが0000001であるとする、

$$\begin{aligned} &= 8 \text{ (ベースアドレス中位)} \\ &= 0 \sim 7 \text{ (係数読出カウンタ)} \\ &= 8 \sim 15 \text{ (読出アドレス)} \end{aligned}$$

て用いる。さらに、

$$\begin{aligned} &= 8 \text{ (ベースアドレス中位)} \\ &= 8 \sim 15 \text{ (係数読出カウンタ)} \\ &= 16 \sim 23 \text{ (読出アドレス)} \end{aligned}$$

-x1)C_{coef}はセクタ108を介して加算器102の一方入力端に入力される。またレジスタ106に保持されている値x1はセクタ100を介して加算器102の他方入力端に入力される。加算器102は両入力を加算して目的とする出力サンプル値Xを、

$$X = (x2 - x1)C_{coef} + x1$$

として求める。求められた出力サンプル値Xは、まるめ回路110でまるめ処理がなされ、ノイズシェーパ112で量子化ノイズが高域に追いやられてデータ出力端子40から出力される。以上の補間演算は出力サンプルの周期内で各出力サンプル周期ごとに繰り返し行なわれる。

【0077】以上のようにして、図3のサンプリング周波数変換器12ではサンプリング周波数f_{s1}の入力データをこれと非同期なサンプリング周波数f_{s2}の出力データに変換する。そして、このような構成によれば、例えば入力サンプルデータの語長を22ビット、ラグランジェ7次補間の係数語長を25ビット、サンプリング周波数比F_sのデータ長を22ビットとすれば、シミュレーション上では、20ビット程度の変換誤差を実現でき、歪率等も従来のものに比べて向上がみられた。

【0078】

【発明の効果】以上説明したように、請求項1記載の発明によれば、入力サンプル列を適宜の倍数でオーバーサンプリングし、このオーバーサンプリングで作られたサンプル間を多項式補間で補間し、この多項式補間で作られたサンプル間を直線補間で補間して出力サンプル列を作るようにしたので、オーバーサンプリングのみで出力サンプル列を作る場合に比べて回路規模を小さくすることができる。また、オーバーサンプリングで作られたサンプル間

を直接直線補間せずに、多項式補間で補間してから直線補間するようにしたので、変換精度が良好になる。しかも、オーバーサンプリングで同じ倍数をかせぐ場合に比べて多項式補間および直線補間を用いれば回路規模を小さくすることができる。そして、これにより構成の簡易さと変換精度の良さが両立される。

【0079】また、請求項2記載によれば、入力サンプル列に同期したクロックを出力サンプル列の多数リード周期内でカウントしたカウント値のビットを3区間に区切って、上位からそれぞれ多項式補間のためのRAMの読出アドレスデータ、多項式補間係数を記憶しているROMの読出アドレスデータ、直線補間のための係数データとして用いるようにしたので、補間値の生成を容易に行なうことができる。

【図面の簡単な説明】

【図1】 この発明の一実施例を示すブロック図である。

【図2】 図1のサンプリング周波数変換器12によるサンプリング周波数変換工程を示す図である。

【図3】 図1のサンプリング周波数変換器12の具体構成例を示すブロック図である。

【図4】 図3のサンプリング周波数比計測手段30による22ビット精度での計測状態を示すタイムチャートである。

【図5】 図3のサンプリング周波数比計測手段30による13ビット精度での計測状態を示す概念図である。

【図6】 図3の比較部52によるサンプリング周波数比計測の精度切換動作を示す図である。

【図7】 図3の読出制御手段32で生成されるベースアドレスの構成を示す図である。

【図8】 図3の非同期RAMバッファ22の構成および書込アドレスと読出アドレスの関係を説明する図である。

【図9】 図3の非同期アドレスラッチ回路72の動作説明図である。

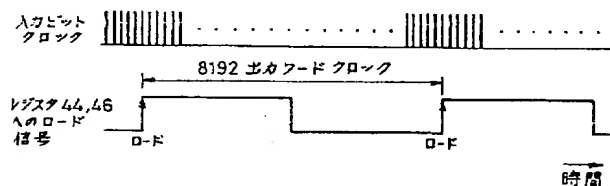
【図10】 図3の係数ROM86に記憶されているラグランジェ7次補間用係数の一例と、これを用いた畳み込み演算の説明図である。

【図11】 図3の補間係数部34における直線補間の動作説明図である。

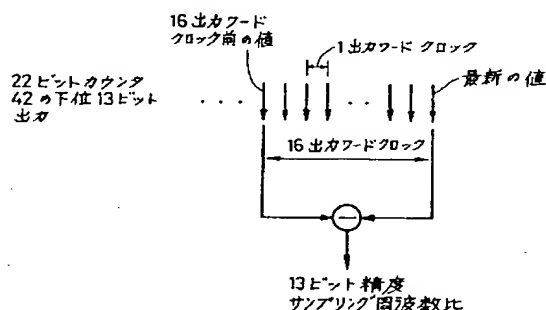
【符号の説明】

- 12 サンプリング周波数変換器
- 18 8倍オーバーサンプリング・フィルタ（オーバーサンプリング手段）
- 22 非同期RAMバッファ（RAM）
- 24 書込制御手段
- 30 サンプリング周波数比計測手段
- 32 読出制御手段
- 36 多項式補間手段
- 38 直線補間手段
- 42 22ビットカウンタ（カウンタ）

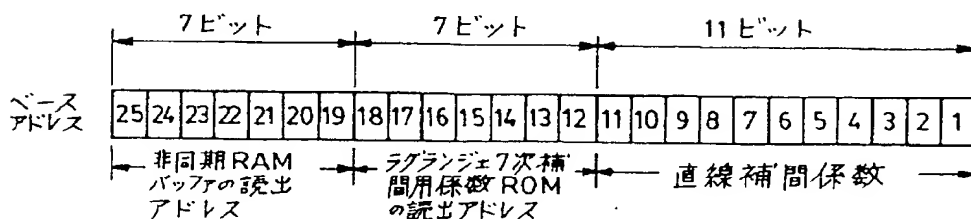
【図4】



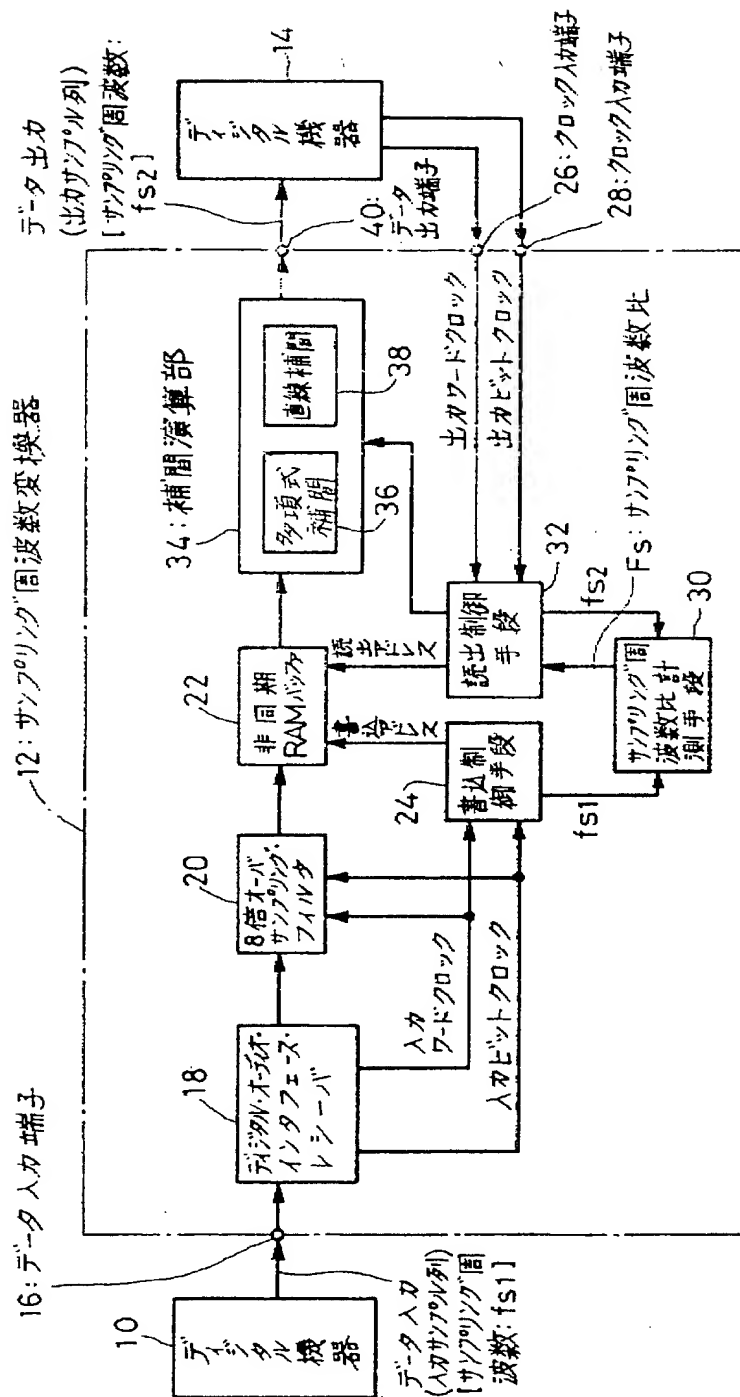
【図5】



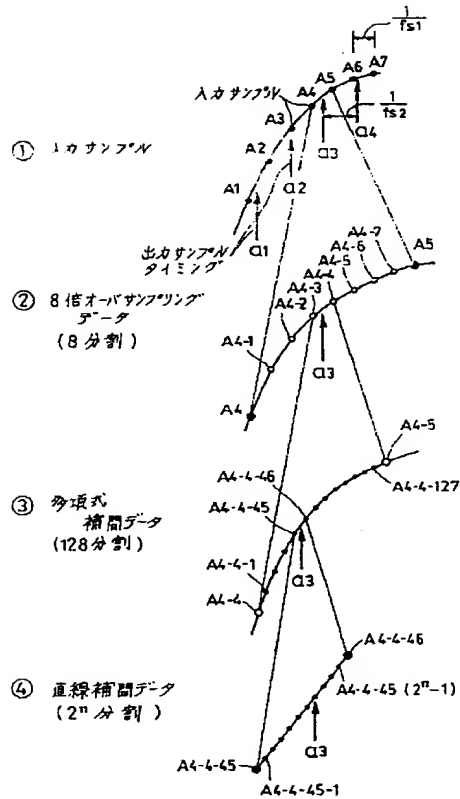
【図7】



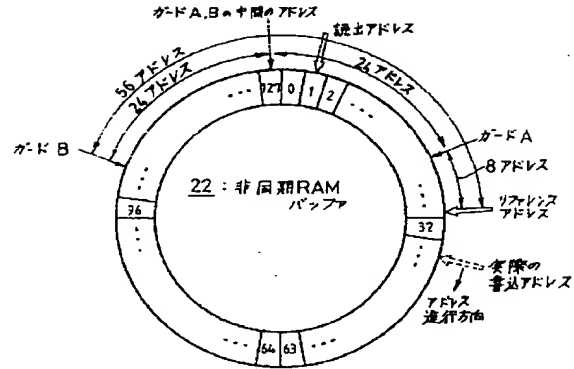
【図1】



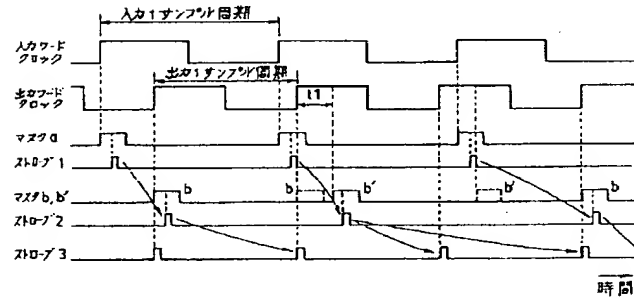
【図2】



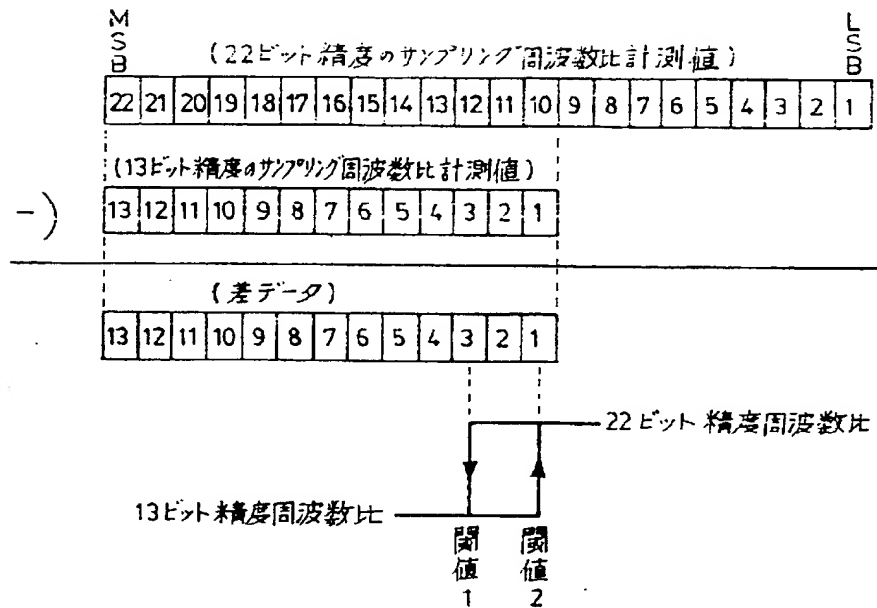
【図8】



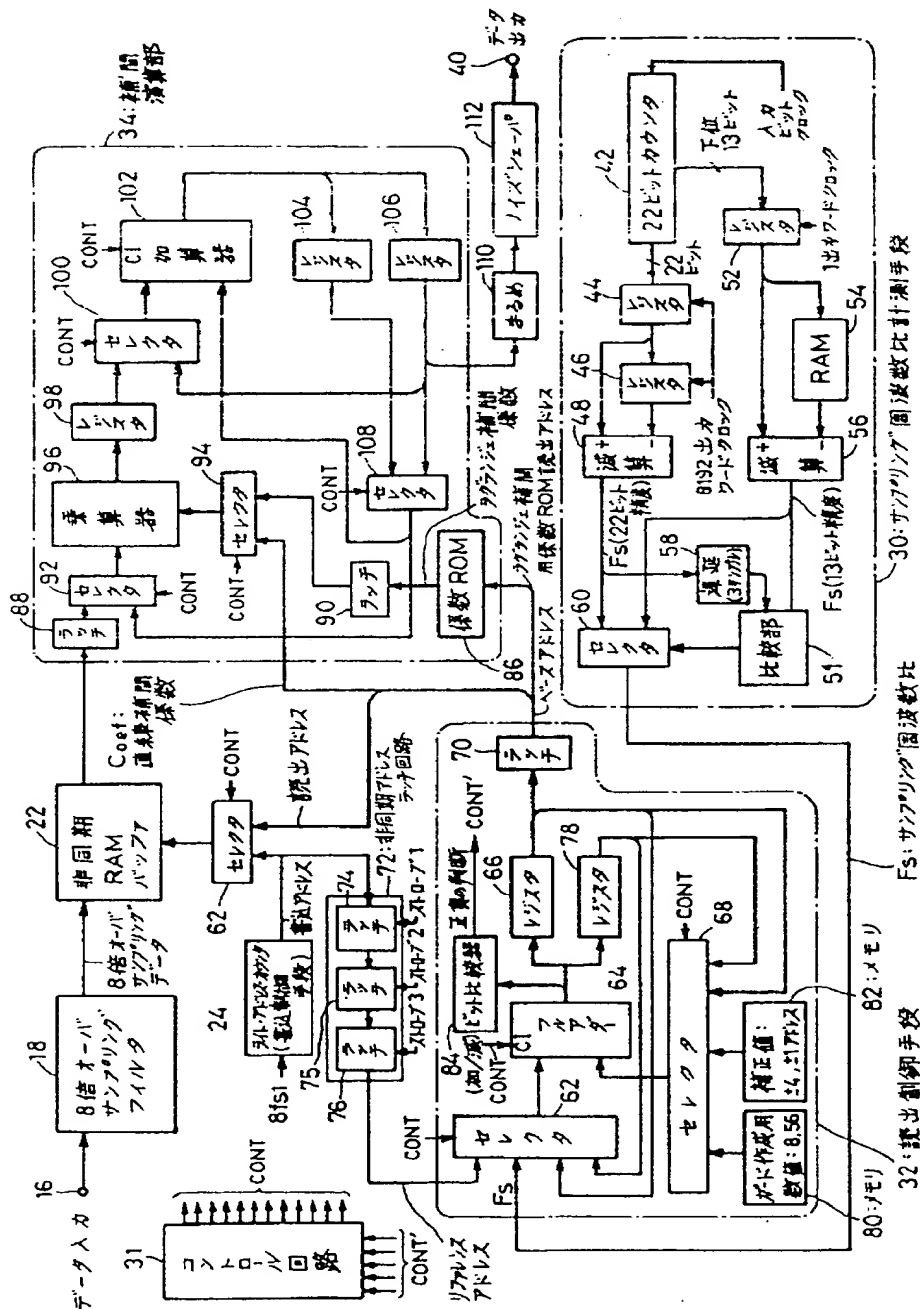
【図9】



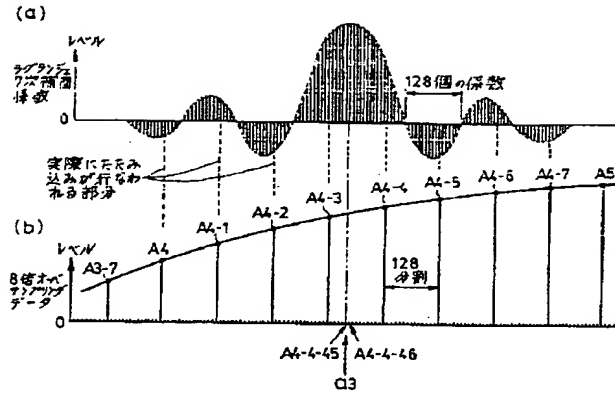
【図6】



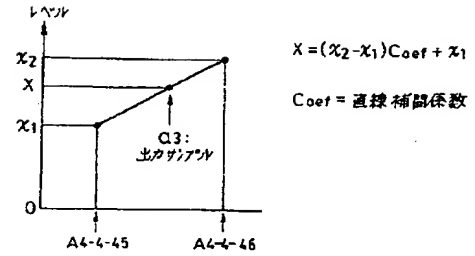
12: サンプリング周波数変換器



【図10】



【図11】



フロントページの続き

(72) 発明者 新美 幸二
静岡県浜松市中沢町10番1号 ヤマハ株式
会社内